

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-284146

(43)公開日 平成11年(1999)10月15日

(51)IntCl.⁸

識別記号

F I

H 0 1 L 27/108
21/8242
21/76H 0 1 L 27/10 6 8 1 D
21/76 S
27/10 6 2 1 Z
6 2 5 C
6 8 1 F

審査請求 未請求 請求項の数13 O L (全 13 頁)

(21)出願番号 特願平10-83890

(22)出願日 平成10年(1998)3月30日

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者 岩佐 昇一

東京都千代田区大手町2-6-3 新日本
製鐵株式会社内

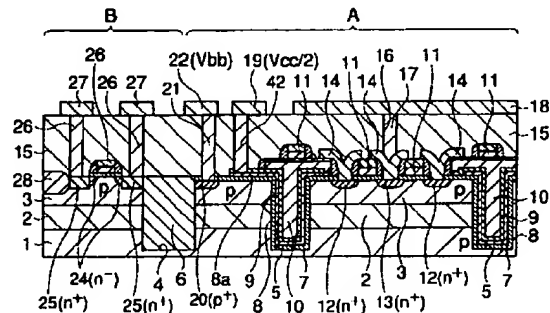
(74)代理人 弁理士 國分 孝悦

(54)【発明の名称】 半導体記憶装置及びその製造方法

(57)【要約】

【課題】DRAMにおいて、トリプルウェル構造を用いることなく、メモリセルアレイ部の基板電位を独立に制御可能とする。

【解決手段】酸化膜層2を介して2枚のp型シリコン単結晶基板を貼り合わせたSOI基板を用い、メモリセルアレイ部Aと周辺回路部Bを、トレンチ4内の埋め込み酸化膜層6により絶縁分離する。メモリセルアレイ部Aにおける素子間分離を、フィールドシールド電極8aによるフィールドシールド素子分離構造により行い、SOI構造固有の基板浮遊効果を回避して、保持特性を良好にする。周辺回路部Bにおける素子間分離は、LOCOS酸化膜28やSTI(Shallow Trench Isolation)法等の絶縁体分離で行い、CMOS構造等における素子間分離を簡便に行えるようにして、高速化を達成する。



【特許請求の範囲】

【請求項1】 第1の絶縁層上に設けられた単結晶半導体層にメモリセルアレイ領域及び周辺回路領域の各素子が形成された半導体記憶装置であって、前記メモリセルアレイ領域を取り囲むように、且つ、前記単結晶半導体層を貫通して形成されたトレンチ内に第2の絶縁層が設けられ、

前記第1及び第2の絶縁層により、前記メモリセルアレイ領域の前記単結晶半導体層が前記周辺回路領域の前記単結晶半導体層から電気的に絶縁分離されており、前記メモリセルアレイ領域では、フィールドシールド素子分離法により素子間分離がなされ、前記周辺回路領域では、絶縁体分離法により素子間分離がなされていることを特徴とする半導体記憶装置。

【請求項2】 前記周辺回路領域における素子間分離が、トレンチ素子分離法によりなされていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記周辺回路領域における素子間分離が、LOCOS法によりなされていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項4】 前記メモリセルアレイ領域の前記単結晶半導体層にバックバイアス電位が与えられていることを特徴とする請求項1～3のいずれか1項に記載の半導体記憶装置。

【請求項5】 前記メモリセルアレイ領域に、1トランジスタ1キャパシタ型のメモリセルが形成されていることを特徴とする請求項1～4のいずれか1項に記載の半導体記憶装置。

【請求項6】 前記メモリセルアレイ領域の前記単結晶半導体層に、又は、その単結晶半導体層を貫通して設けられたトレンチ内に各メモリセルのキャパシタ構造が形成されていることを特徴とする請求項5に記載の半導体記憶装置。

【請求項7】 前記各メモリセルのキャパシタ構造が、前記メモリセルアレイ領域の前記トレンチの内面に絶縁膜を介して設けられたセルプレート、そのセルプレートの上に設けられたキャパシタ絶縁膜、及び、そのキャパシタ絶縁膜の上に設けられたストレージノードにより構成されていることを特徴とする請求項6に記載の半導体記憶装置。

【請求項8】 前記メモリセルアレイ領域におけるフィールドシールド素子分離構造のフィールドシールド電極が、前記セルプレートに連続して形成されていることを特徴とする請求項7に記載の半導体記憶装置。

【請求項9】 前記各メモリセルのキャパシタ構造が、スタック型に構成されていることを特徴とする請求項5に記載の半導体記憶装置。

【請求項10】 前記キャパシタ構造のセルプレートが、前記メモリセルアレイ領域におけるフィールドシールド素子分離構造のフィールドシールド電極に電気的に

接続されていることを特徴とする請求項9に記載の半導体記憶装置。

【請求項11】 第1の単結晶半導体基板と、表面に第1の絶縁膜を形成した第2の単結晶半導体基板とを、前記第1の絶縁膜を介して互いに貼り合わせた後、一方の単結晶半導体基板の厚みを加工して、他方の単結晶半導体基板上に、前記第1の絶縁膜を介して単結晶半導体層を形成する工程と、

10 前記単結晶半導体層の周辺回路領域となる部分に素子分離構造を形成する工程と、

前記単結晶半導体層の前記周辺回路領域となる部分とメモリセルアレイ領域となる部分との間に、前記メモリセルアレイ領域となる部分を取り囲むように、少なくとも前記第1の絶縁膜に達する深さの第1のトレンチを形成するとともに、前記メモリセルアレイ領域となる部分の前記単結晶半導体層の所定位置に、メモリセルキャパシタを形成するための第2のトレンチを形成する工程と、前記第1及び第2のトレンチ内を埋め込むように全面に第2の絶縁膜を形成する工程と、

20 前記第1及び第2のトレンチ外の前記第2の絶縁膜を除去した後、前記第2のトレンチ内の前記第2の絶縁膜を除去する工程と、

前記第2のトレンチの内面を含む前記メモリセルアレイ領域となる部分の全面に第3の絶縁膜を形成する工程と、

前記第3の絶縁膜の上に第1の導電膜を形成する工程と、

前記第1の導電膜をパターニングして、前記メモリセルアレイ領域において素子分離領域となる領域及びそれと連続した前記第2のトレンチを含む領域とに前記第1の導電膜を残す工程と、

前記第1の導電膜の上に第4の絶縁膜を形成する工程と、

前記第4の絶縁膜の上に第2の導電膜を形成した後、その第2の導電膜をメモリキャパシタのストレージノードのパターンに加工する工程と、

前記周辺回路領域となる部分及び前記メモリセルアレイ領域となる部分の所定箇所に夫々MOSFETを形成する工程と、

40 前記メモリセルアレイ領域となる部分に形成した前記MOSFETの一方の拡散層と前記第2の導電膜とを電気的に接続する工程と、を有することを特徴とする半導体記憶装置の製造方法。

【請求項12】 前記周辺回路領域となる部分に形成する前記素子分離構造として、前記単結晶半導体層に第3のトレンチを形成し、前記第1及び第2のトレンチ内を前記第2の絶縁膜で埋め込む際に、前記第3のトレンチ内も前記第2の絶縁膜で埋め込むことを特徴とする請求項11に記載の半導体記憶装置の製造方法。

50 【請求項13】 第1の単結晶半導体基板と、表面に第

1の絶縁膜を形成した第2の単結晶半導体基板とを、前記第1の絶縁膜を介して互いに貼り合わせた後、一方の単結晶半導体基板の厚みを加工して、他方の単結晶半導体基板上に、前記第1の絶縁膜を介して単結晶半導体層を形成する工程と、

前記単結晶半導体層の周辺回路領域となる部分に素子分離構造を形成する工程と、

前記単結晶半導体層の前記周辺回路領域となる部分とメモリセルアレイ領域となる部分との間に、前記メモリセルアレイ領域となる部分を取り囲むように、少なくとも

前記第1の絶縁膜に達する深さのトレンチを形成する工程と、

前記トレンチ内を埋め込むように第2の絶縁膜を形成する工程と、

前記周辺回路領域となる部分にフィールドシールド素子分離構造を形成する工程と、

前記周辺回路領域となる部分及び前記メモリセルアレイ領域となる部分の所定箇所に夫々MOSFETを形成する工程と、

前記メモリセルアレイ領域となる部分に、その部分の前記MOSFETの一方の拡散層に電気的に接続したストレージノードを有するメモリキャパシタを形成する工程と、を有することを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DRAM (Dynamic Random Access Memory) 等の半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】例えば、64M以降の従来のDRAMでは、周辺回路速度の向上や、静電放電 (ESD: Electro-Static Discharge)、ラッチアップ等に対する信頼性向上の目的で、トリプルウェル方式が採用されている。

【0003】

【発明が解決しようとする課題】ところが、このトリプルウェル方式のように、基板中に何重にもウェルを形成するためには、必然的にイオン注入工程が多くなり、また、そのためのマスク工程も複雑になるという問題が有った。

【0004】更に、基板中に導電型の異なる不純物を重ねてイオン注入する結果、基板濃度が高濃度化し、基板バイアス効果の悪化や保持特性の劣化を生じるという問題も有った。

【0005】そこで、本発明の目的は、特に、トリプルウェル方式を採用しなくても、それと同程度の周辺回路の低電圧での高速度化、及び、メモリセルアレイ部での基板電位の安定化を夫々達成でき、その結果、基板バイアス効果の悪化や保持特性の劣化を回避することができる半導体記憶装置及びその製造方法を提供することであ

る。

【0006】

【課題を解決するための手段】上述した課題を解決すべく、本発明の半導体記憶装置では、第1の絶縁層上に設けられた単結晶半導体層にメモリセルアレイ領域及び周辺回路領域の各素子が形成された半導体記憶装置であって、前記メモリセルアレイ領域を取り囲むように、且つ、前記単結晶半導体層を貫通して形成されたトレンチ内に第2の絶縁層が設けられ、前記第1及び第2の絶縁層により、前記メモリセルアレイ領域の前記単結晶半導体層が前記周辺回路領域の前記単結晶半導体層から電気的に絶縁分離されており、前記メモリセルアレイ領域では、フィールドシールド素子分離法により素子間分離がなされ、前記周辺回路領域では、絶縁体分離法により素子間分離がなされている。

【0007】本発明の一態様では、前記周辺回路領域における素子間分離が、トレンチ素子分離法によりなされている。

【0008】本発明の一態様では、前記周辺回路領域における素子間分離が、LOCOS法によりなされている。

【0009】本発明の一態様では、前記メモリセルアレイ領域の前記単結晶半導体層にバックバイアス電位が与えられている。

【0010】本発明の一態様では、前記メモリセルアレイ領域に、1トランジスタ1キャパシタ型のメモリセルが形成されている。

【0011】本発明の一態様では、前記メモリセルアレイ領域の前記単結晶半導体層に、又は、その単結晶半導体層を貫通して設けられたトレンチ内に各メモリセルのキャパシタ構造が形成されている。

【0012】本発明の一態様では、前記各メモリセルのキャパシタ構造が、前記メモリセルアレイ領域の前記トレンチの内面に絶縁膜を介して設けられたセルプレート、そのセルプレートの上に設けられたキャパシタ絶縁膜、及び、そのキャパシタ絶縁膜の上に設けられたストレージノードにより構成されている。

【0013】本発明の一態様では、前記メモリセルアレイ領域におけるフィールドシールド素子分離構造のフィールドシールド電極が、前記セルプレートに連続して形成されている。

【0014】本発明の一態様では、前記各メモリセルのキャパシタ構造が、スタック型に構成されている。

【0015】本発明の一態様では、前記キャパシタ構造のセルプレートが、前記メモリセルアレイ領域におけるフィールドシールド素子分離構造のフィールドシールド電極に電気的に接続されている。

【0016】また、本発明の半導体記憶装置の製造方法は、第1の単結晶半導体基板と、表面に第1の絶縁膜を形成した第2の単結晶半導体基板とを、前記第1の絶縁

膜を介して互いに貼り合わせた後、一方の単結晶半導体基板の厚みを加工して、他方の単結晶半導体基板上に、前記第1の絶縁膜を介して単結晶半導体層を形成する工程と、前記単結晶半導体層の周辺回路領域となる部分に素子分離構造を形成する工程と、前記単結晶半導体層の前記周辺回路領域となる部分とメモリセルアレイ領域となる部分との間に、前記メモリセルアレイ領域となる部分を取り囲むように、少なくとも前記第1の絶縁膜に達する深さの第1のトレンチを形成するとともに、前記メモリセルアレイ領域となる部分の前記単結晶半導体層の所定位置に、メモリセルキャパシタを形成するための第2のトレンチを形成する工程と、前記第1及び第2のトレンチ内を埋め込むように全面に第2の絶縁膜を形成する工程と、前記第1及び第2のトレンチ外の前記第2の絶縁膜を除去した後、前記第2のトレンチ内の前記第2の絶縁膜を除去する工程と、前記第2のトレンチの内面を含む前記メモリセルアレイ領域となる部分の全面に第3の絶縁膜を形成する工程と、前記第3の絶縁膜の上に第1の導電膜を形成する工程と、前記第1の導電膜をパターンニングして、前記メモリセルアレイ領域において素子分離領域となる領域及びそれと連続した前記第2のトレンチを含む領域とに前記第1の導電膜を残す工程と、前記第1の導電膜の上に第4の絶縁膜を形成する工程と、前記第4の絶縁膜の上に第2の導電膜を形成した後、その第2の導電膜をメモリキャパシタのストレージノードのパターンに加工する工程と、前記周辺回路領域となる部分及び前記メモリセルアレイ領域となる部分の所定箇所に夫々MOSFETを形成する工程と、前記メモリセルアレイ領域となる部分に形成した前記MOSFETの一方の拡散層と前記第2の導電膜とを電気的に接続する工程と、を有する。

【0017】本発明の一態様では、前記周辺回路領域となる部分に形成する前記素子分離構造として、前記単結晶半導体層に第3のトレンチを形成し、前記第1及び第2のトレンチ内を前記第2の絶縁膜で埋め込む際に、前記第3のトレンチ内も前記第2の絶縁膜で埋め込む。

【0018】また、本発明の別の態様による半導体記憶装置の製造方法は、第1の単結晶半導体基板と、表面に第1の絶縁膜を形成した第2の単結晶半導体基板とを、前記第1の絶縁膜を介して互いに貼り合わせた後、一方の単結晶半導体基板の厚みを加工して、他方の単結晶半導体基板上に、前記第1の絶縁膜を介して単結晶半導体層を形成する工程と、前記単結晶半導体層の周辺回路領域となる部分に素子分離構造を形成する工程と、前記単結晶半導体層の前記周辺回路領域となる部分とメモリセルアレイ領域となる部分との間に、前記メモリセルアレイ領域となる部分を取り囲むように、少なくとも前記第1の絶縁膜に達する深さのトレンチを形成する工程と、前記トレンチ内を埋め込むように第2の絶縁膜を形成する工程と、前記周辺回路領域となる部分にフィールドシ

ールド素子分離構造を形成する工程と、前記周辺回路領域となる部分及び前記メモリセルアレイ領域となる部分の所定箇所に夫々MOSFETを形成する工程と、前記メモリセルアレイ領域となる部分に、その部分の前記MOSFETの一方の拡散層に電気的に接続したストレージノードを有するメモリキャパシタを形成する工程と、を有する。

【0019】

【発明の実施の形態】以下、本発明を好ましい実施の形態に従い説明する。

【0020】〔第1の実施の形態〕図1に、リバーストレンチキャパシタ型のDRAMに本発明を適用した第1の実施の形態の概略断面図を、図2に、そのメモリセルアレイ部の平面配置図を、図3にDRAMの全体概略構成図を夫々示す。なお、図1は、図2のI-I線に沿った断面に対応している。

【0021】図1に示すように、本実施の形態のDRAMは、p型単結晶シリコン半導体基板1の上に、シリコン酸化膜層2を介して、例えば、厚さ0.4~0.5 μ m程度で、且つ、基板表面濃度 $1 \times 10^{16}/\text{cm}^3$ 程度以上のp型単結晶シリコン半導体層3が設けられた、所謂、SOI (Silicon On Insulator又は Semiconductor On Insulator)構造の基板に形成されている。

【0022】図3に示すように、DRAMは、多数のメモリセルが形成されたメモリセルアレイ部Aと、センスアンプ等を含む周辺回路部Bとを備えており、それらの間が、例えば、深さ5~10 μ m程度のトレンチ4により分離されている。なお、この図3において、5は、メモリセルアレイ部Aにおいてメモリキャパシタが形成されているトレンチ、100は、周辺回路部Bに設けられた各種MOSトランジスタである。

【0023】図1に示すように、メモリセルアレイ部Aと周辺回路部Bとを分離するトレンチ4は、酸化膜層2を貫通する深さまで形成されており、その内部が、シリコン酸化膜層6で埋め込まれている。なお、このトレンチ4は、酸化膜層2に達する深さまで形成されれば、それ以上の深さに形成される必要は必ずしも無い。

【0024】このトレンチ4内の酸化膜層6と酸化膜層2とにより、メモリセルアレイ部Aの基板部であるシリコン半導体層3と周辺回路部Bの基板部であるシリコン半導体層3とが互いに電気的に絶縁され、従来のトリプルウェル構造と同様の効果を示す。

【0025】一方、メモリセルアレイ部Aにおいてメモリキャパシタが形成されるトレンチ5も、図示の例では、酸化膜層2を貫通する深さまで形成されているが、このトレンチ5は、メモリキャパシタとして必要な容量が得られれば、その深さは特に限定されない。

【0026】このトレンチ5内には、その内面に、シリコン酸化膜7を介して、メモリキャパシタのセルプレートであるn型ポリシリコン膜8が形成され、このn型ポ

リシリコン膜8の上に、例えば、ONO膜からなるキャパシタ誘電体膜9を介して、メモリキャパシタのストレージノードであるn型ポリシリコン膜10が積層されている。

【0027】この時、本実施の形態では、図示の如く、上述したメモリキャパシタのセルプレートであるn型ポリシリコン膜8を素子分離領域にまで延長して形成し、その素子分離領域において、フィールドシールド電極8aとして機能するように構成している(図2参照)。

【0028】メモリセルアレイ部Aには、また、n型ポリシリコンゲート(ワード線)11と一対のn⁺拡散層12、13とにより各メモリセルのアクセストランジスタが形成されている。

【0029】なお、図示の例では、アクセストランジスタの一方のn⁺拡散層13を共有する2つのメモリセルが1つの素子領域に形成されている。

【0030】このアクセストランジスタの各n⁺拡散層12、13には、拡散層引き出し電極としてn型ポリシリコン膜14が夫々コンタクトしており、他のメモリセルと共有されていない一方のn⁺拡散層12にコンタクトしたn型ポリシリコン膜14が夫々のメモリキャパシタのストレージノード10にストレージコンタクト10a(図2参照)を介して電氣的に接続されている。また、2つのメモリセルに共有された他方のn⁺拡散層13にコンタクトしたn型ポリシリコン膜14は、層間絶縁膜15に設けられたコンタクトホール(ビットコンタクト)16(図2参照)内のタングステン(W)プラグ17を介して、ビット線である金属配線18に電氣的に接続されている。

【0031】図1に示すように、各メモリキャパシタのセルプレートであるとともにフィールドシールド電極でもあるポリシリコン膜8、8aには、タングステン(W)プラグ42を介して、金属配線19からV_{cc}/2(V_{cc}:電源電位)が与えられている。

【0032】また、メモリセルアレイ部Aの基板部であるp型シリコン半導体層3には、p⁺拡散層20にコンタクトしたタングステン(W)プラグ21を介して、金属配線22から基板バイアス電位V_{bb}が与えられている。

【0033】一方、周辺回路部Bには、例えば、図1に示すように、n型ポリシリコンゲート23と、一対のn⁺拡散層24及び一対のn⁺拡散層25とからなるLDD(Lightly Doped Drain)構造のnチャネルMOSトランジスタや、図外のp型シリコン半導体層3に設けられたnウェル内にpチャネルMOSトランジスタ等が形成されている。

【0034】27は、上述したnチャネルMOSトランジスタのソース/ドレインであるn⁺拡散層25にタングステン(W)プラグ26を介してコンタクトする金属配線である。

【0035】なお、図示の例では、周辺回路部Bにおける素子間分離は、LOCOS酸化膜28によりなされている。

【0036】以上のように構成した第1の実施の形態の作用を説明する。

【0037】酸化膜層2、6により絶縁分離されたメモリセルアレイ部Aのp型シリコン半導体層3に基板バイアス電位V_{bb}(例えば、-0.5V_{cc})を与えて、アクセストランジスタのバックバイアスを固定する。一方、フィールド領域における基板表面での寄生チャネルを生じる電圧(本明細書において、「フィールドしきい値電圧」と称する場合がある。)は、既述したように、基板表面濃度が $1 \times 10^{16}/\text{cm}^3$ 程度以上では、2.0V程度以上であるため、フィールドシールド電極8aに、V_{cc}/2として、例えば、1.00V、1.25V、又は、1.65V程度を印加して基板表面の電位を固定することにより、フィールド領域における基板表面の導電型の反転を防止することができる。即ち、ポリシリコン膜8をメモリキャパシタのセルプレートのみならず、フィールドシールド電極8aとしても用いることができる。

【0038】また、このようなフィールドシールド素子分離法を用いることにより、LOCOS法やSTI(Shallow Trench Isolation: 浅トレンチ分離)法のような絶縁体分離法を用いる場合と異なり、メモリセルアレイ部Aのp型シリコン半導体層3の電位が局所的な電界制御により固定され、SOI構造特有の基板浮遊効果回避することができる。

【0039】一方、周辺回路部Bでは、上述のような絶縁体分離法を素子間分離に用いることにより、例えば、CMOS構造での素子間分離を簡便に行うことができる。

【0040】そして、上述したように、酸化膜層2と6によりメモリセルアレイ部Aのp型シリコン半導体層3を周辺回路部Bの基板部から電氣的に絶縁分離して、独立に基板バイアスできるように構成することにより、従来のトリプルウェル構造と同様の効果を得ることができる。

【0041】次に、図4～図7を参照して、この第1の実施の形態の構造の製造方法を説明する。

【0042】なお、この図4～図7に示す製造方法では、周辺回路部における素子間分離をSTI法で行う点で、LOCOS法で素子間分離を行っている図1の構成とは若干異なる。

【0043】まず、図4(a)に示すように、2つのp型単結晶シリコン半導体基板1、3を用意し、一方の基板3の主面表面に、熱酸化法により、例えば、厚さ100～200nm程度のシリコン酸化膜層2を形成し、更に、主面から0.4～0.5μm程度の深さ部分(図中、Eで示す。)に、水素(H)を、例えば、 2×10

$16 \sim 2 \times 10^{17} / \text{cm}^2$ 程度のドーザ量でイオン注入する。また、他方の基板1の主面には、図示は省略するが、例えば、厚さ20～30nm程度の薄い熱酸化膜を形成しておく。

【0044】次に、双方の基板1、3の主面側を、夫々、例えば、RCA洗浄した後、それらの主面側を向き合わせて、互いに貼り合わせる。

【0045】しかる後、例えば、400～600℃程度の熱処理を施すと、基板3が、水素(H)を注入した部分Eを境にして剥がれ、図4(b)に示すように、p型単結晶シリコン半導体基板1上に、シリコン酸化膜層2を介して、厚さ0.4～0.5μm程度のp型単結晶シリコン半導体層3が形成されたSOI基板が得られる(一般に、スマートカット(smart-cut)法と呼ばれる。)

【0046】次に、図4(c)に示すように、STI法による素子間分離を行うべく、シリコン半導体層3の周辺回路部Bとなる領域内の素子分離領域にのみ、フォトリソグラフィ及び異方性ドライエッチングにより、シリコン酸化膜層2にまで達するが、そのシリコン酸化膜層2を貫通しない程度の深さ、例えば、0.5μm程度の深さのトレンチ30を形成する。

【0047】次に、やはり、フォトリソグラフィ及び異方性ドライエッチングにより、メモリセルアレイ部Aと周辺回路部Bとを分離するためのトレンチ4、及び、メモリセルアレイ部Aにおいてメモリキャパシタを形成するためのトレンチ5を、例えば、深さ5～10μm程度に夫々形成する。

【0048】次に、トレンチ4、5、30の内面を含む全面に1000℃程度の熱酸化を施してから、CVD法によりシリコン酸化膜6を堆積して、トレンチ4、5、30の内面をシリコン酸化膜6で埋め込む。しかる後、CMP(Chemical Mechanical Polishing: 化学機械研磨)法により、トレンチ4、5、30外のシリコン酸化膜6を除去する。

【0049】次に、図5(a)に示すように、メモリセルアレイ部A以外をフォトレジスト31で覆い、メモリセルアレイ部Aのトレンチ5内のシリコン酸化膜6のみを一旦除去する。

【0050】次に、図5(b)に示すように、フォトレジスト31を除去した後、熱酸化を行い、トレンチ5の内面を含む全面に比較的薄いシリコン酸化膜7を形成し、更に、そのシリコン酸化膜7上に、厚さ100nm程度のn型ポリシリコン膜8、及び、その上に、厚さ5～6nm程度のONO膜からなるキャパシタ誘電体膜9を順次形成して、フォトリソグラフィ及び異方性ドライエッチングにより、これらのキャパシタ誘電体膜9、n型ポリシリコン膜8及びシリコン酸化膜7を夫々パターンニングし、トレンチ5とその周囲領域及び素子分離領域にのみ残す。

【0051】次に、図5(c)に示すように、CVD法により、トレンチ5の内面を埋め込むようにして、全面に、厚さ100～150nm程度のn型ポリシリコン膜10を形成した後、フォトリソグラフィ及び異方性ドライエッチングにより、このn型ポリシリコン膜10をパターンニングして、各メモリキャパシタのストレージノードの形状に加工する。

【0052】しかる後、熱酸化法により、周辺回路部B及びメモリセルアレイ部Aの夫々の素子形成領域表面、並びに、ポリシリコン膜10の表面に、後にゲート酸化膜となるシリコン酸化膜32を形成する。

【0053】なお、この時の熱酸化により、ポリシリコン膜10から露出した部分のキャパシタ誘電体膜9は、その全体が酸化膜に変わる。

【0054】次に、図6(a)に示すように、全面にn型ポリシリコン膜、及び、その上に、キャップシリコン酸化膜33を夫々形成した後、フォトリソグラフィ及び異方性ドライエッチングにより、それらをパターンニングして、メモリセルアレイ部Aでは、ワード線となるポリシリコンゲート11及びその上のキャップシリコン酸化膜33、周辺回路部Bでは、各種MOSトランジスタのポリシリコンゲート23及びその上のキャップシリコン酸化膜33を夫々形成する。

【0055】次に、メモリセルアレイ部Aの、後に基板コンタクト部となる部分をフォトレジスト34で覆い、更に、ポリシリコンゲート11、23の側面を熱酸化膜35で覆った状態で、全面に、リン(P)等のn型不純物36を、例えば、エネルギー20～40KeV程度、ドーザ量 $1 \times 10^{13} \sim 3 \times 10^{13} / \text{cm}^2$ 程度の条件でイオン注入し、ポリシリコンゲート11、23の両側のp型シリコン半導体層3に、自己整合的に、n⁺拡散層12a、13a、24を夫々形成する。

【0056】次に、図6(b)に示すように、全面にCVD法により形成したシリコン酸化膜を異方性ドライエッチングして、ポリシリコンゲート11、23の側面、及び、メモリキャパシタのストレージノードであるn型ポリシリコン膜10の側面に夫々側壁シリコン酸化膜37を形成する。

【0057】この時、この異方性ドライエッチングにより、側壁シリコン酸化膜37で覆われた部分以外のp型シリコン半導体層3表面及びメモリキャパシタのストレージノードであるn型ポリシリコン膜10表面(図中、Cで示す部分)の比較的薄いシリコン酸化膜が夫々除去されて、それらの部分が露出する。そこで、メモリセルアレイ部Aのn⁺拡散層12a、13a上以外及びn型ポリシリコン膜10表面以外の部分を覆うべく、メモリセルアレイ部Aの素子領域以外の部分に、CVD法により、シリコン酸化膜38を形成する。

【0058】しかる後、全面にノンドーアのポリシリコン膜14を形成し、フォトリソグラフィ及び異方性ド

ライエッチングにより、このポリシリコン膜14をパターンニングして、メモリセルアレイ部Aの n^+ 拡散層12a、13aの夫々の引き出し電極の形状に加工する。この時、 n^+ 拡散層12aの引き出し電極となるポリシリコン膜14は、上述したメモリキャパシタのストレージノードである n 型ポリシリコン膜10表面の露出部を介して、その n 型ポリシリコン膜10にコンタクトする(図中、Cで示す部分。)

【0059】次に、図7(a)に示すように、メモリセルアレイ部Aの、後に基板コンタクト部となる部分をフォトレジスト40で覆い、全面に、ヒ素(As)等の n 型不純物41を、例えば、エネルギー60KeV程度、ドーズ量 $5 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ 程度の条件でイオン注入する。これにより、ポリシリコン膜14を n 型にするとともに、このポリシリコン膜14からの n 型不純物の拡散によって、メモリセルアレイ部Aのポリシリコンゲート11等に設けた側壁シリコン酸化膜37に対し自己整合的に n^+ 拡散層12b、13bを夫々形成するとともに、周辺回路部Bのポリシリコンゲート23に設けた側壁シリコン酸化膜37に対し自己整合的に n^+ 拡散層25を形成する。

【0060】次に、図7(b)に示すように、フォトレジスト40を除去した後、その基板コンタクトをとる部分に p^+ 拡散層20を形成し、しかる後、全面に、例えば、BPSG膜からなる層間絶縁膜15を常圧CVD法により形成する。そして、その層間絶縁膜15の所定位置にコンタクトホールを開孔し、それらのコンタクトホールをタングステン(W)プラグ17、21、26、42により夫々埋め込む。

【0061】この後、詳細な図示は省略するが、層間絶縁膜15の上に金属配線18、19、22、27を夫々形成し、図1と実質的に同様の構造を形成する。

【0062】以上に説明した第1の実施の形態では、図1に示すように、メモリセルアレイ部Aの p 型シリコン半導体層3が、埋め込み酸化膜層2と6により、他の基板部から電氣的に絶縁分離されていて、そのメモリセルアレイ部Aの p 型シリコン半導体層3を独立に基板バイアスすることができる。従って、特に、トリプルウェル構造を採用しなくても、従来のトリプルウェル構造と同様の効果を得ることができる。

【0063】また、メモリセルアレイ部Aでの素子間分離をフィールドシールド素子分離法で行うことにより、LOCOS法やSTI法のような絶縁体分離法を用いる場合と違って、メモリセルアレイ部Aの p 型シリコン半導体層3の電位が局所的な電界制御により固定され、SOI構造特有の基板浮遊効果を回避することができる。

【0064】更に、メモリキャパシタをリバーストレンチキャパシタに構成して、そのメモリキャパシタのセルプレートにフィールドシールド電極と一体に構成することにより、それらへのコンタクト構造及び製造工程を夫

々簡略化することができる。

【0065】一方、周辺回路部Bでは、上述したLOCOS法やSTI法のような絶縁体分離法を素子間分離に用いることにより、例えば、CMOS構造での素子間分離を簡便に行うことができる。

【0066】〔第2の実施の形態〕次に、本発明の第2の実施の形態を説明する。

【0067】図8に、この第2の実施の形態によるDRAMの概略断面図を、図9に、そのメモリセルアレイ部の平面配置図を、図10に、このDRAMの全体概略構成図を夫々示す。なお、図8は、図9のVIII-VIII線に沿った断面に対応している。

【0068】この第2の実施の形態では、メモリキャパシタがスタック型に構成されており、メモリセルアレイ部のフィールドシールド素子分離構造が、そのメモリキャパシタとは独立に形成されている。それ以外の構成は、上述した第1の実施の形態と実質的に同様である。そこで、上述した第1の実施の形態に対応する部位には、上述した第1の実施の形態と同一の符号を付す。

【0069】図8に示すように、この第2の実施の形態でも、上述した第1の実施の形態と同様、 p 型単結晶シリコン半導体基板1の上に、シリコン酸化膜層2を介して、厚さ0.4~0.5 μm 程度の p 型単結晶シリコン半導体層3が設けられたSOI基板にDRAMが形成されている。

【0070】図示のように、この第2の実施の形態では、メモリセルアレイ部Aと周辺回路部Bとを分離するトレンチ4は、酸化膜層2に達するが、それを貫通しない深さの、所謂、STI構造に形成されている。そして、このトレンチ4内の酸化膜層6と酸化膜層2とにより、メモリセルアレイ部Aの基板部であるシリコン半導体層3と周辺回路部Bの基板部であるシリコン半導体層3a(図示の例では、 n ウェル)とが互いに電氣的に絶縁され、従来のトリプルウェル構造と同様の効果を得ている。

【0071】そして、この第2の実施の形態では、メモリセルアレイ部Aにおける素子間分離は、 n 型ポリシリコン膜からなるフィールドシールド電極50によりなされている。一方、図示はされていないが、周辺回路部Bにおける素子間分離は、トレンチ4と同様のトレンチによるSTI素子分離法又はLOCOS酸化膜によりなされている。

【0072】各メモリセルのアクセストランジスタは、 n^+ 拡散層12a、13aと n^+ 拡散層12a、13aとを有するLDD構造に形成され、その一方の n^+ 拡散層12aにメモリキャパシタのストレージノード10が接続している。

【0073】メモリキャパシタは、 n 型ポリシリコン膜からなるストレージノード10の上に、ONO膜からなるキャパシタ誘電体膜9を介して、 n 型ポリシリコン膜

13

からなるセルプレート8が積層されたスタック型に構成されている。そして、そのメモリキャパシタのセルプレート8が、図示の如く、フィールドシールド電極50にコンタクトしている。

【0074】アクセストランジスタの他方の n^+ 拡散層13aには、 n 型ポリシリコン膜からなる引き出し電極14が設けられ、その引き出し電極14を介して、ポリサイド配線からなるビット線18が接続している。

【0075】また、基板コンタクト用の p^+ 拡散層20にも、 n 型ポリシリコン膜からなる引き出し電極14が設けられ、その引き出し電極14とタングステン(W)プラグ21を介して、金属配線22から基板バイアス電位 V_{bb} が与えられている。

【0076】この第2の実施の形態において、図示の例では、周辺回路部Bの基板部が n ウェル3aに構成され、そこに、 n 型ポリシリコンゲート23と各一对の p^- 拡散層51及び p^+ 拡散層52とからなるLDD構造の p チャネルMOSトランジスタが形成されている。

【0077】図8において、26はタングステン(W)プラグ、27、53は金属配線である。また、図9において、10aはストレージコンタクト、16はビットコンタクトである。

【0078】次に、図11及び図12を参照して、この第2の実施の形態の構造の製造方法を説明する。

【0079】まず、図11(a)に示すように、上述した第1の実施の形態と同様、 p 型単結晶シリコン半導体基板1上に、シリコン酸化膜層2を介して、厚さ0.4~0.5 μ m程度の p 型単結晶シリコン半導体層3が形成されたSOI基板を用意する。そして、この第2の実施の形態では、シリコン半導体層3のメモリセルアレイ部Aと周辺回路部Bとの間の領域に、フォトリソグラフィ及び異方性ドライエッチングにより、シリコン酸化膜層2にまで達するが、そのシリコン酸化膜層2を貫通しない程度の深さ、例えば、0.5 μ m程度の深さのトレンチ4を形成する。なお、周辺回路部Bにおける素子間分離もSTI法で行う場合には、その周辺回路部Bにおける素子間分離用のトレンチも、この時、同時に形成する。

【0080】次に、1000℃程度の熱酸化を全面に施してから、CVD法により、シリコン酸化膜6を堆積させ、トレンチ4の内部を埋め込む。しかる後、CMP法により、トレンチ4外のシリコン酸化膜6を除去する。

【0081】次に、図11(b)に示すように、周辺回路部Bの n ウェル3aを、例えば、熱拡散法又は高加速イオン注入法により形成した後、メモリセルアレイ部Aにのみ、 n 型ポリシリコン膜からなるフィールドシールド電極50を備えたフィールドシールド素子分離構造を形成する。

【0082】この後、フィールドシールド素子分離構造により画定された素子形成領域のシリコン半導体基板3

14

表面に、熱酸化法により、後にゲート酸化膜となるシリコン酸化膜32を形成する。

【0083】次に、図11(c)に示すように、全面に n 型ポリシリコン膜、及び、その上に、キャップシリコン酸化膜を夫々形成した後、フォトリソグラフィ及び異方性ドライエッチングにより、それらをパターンニングして、メモリセルアレイ部では、ワード線となるポリシリコンゲート11及びその上のキャップシリコン酸化膜、周辺回路部では、各種MOSトランジスタのポリシリコンゲート23及びその上のキャップシリコン酸化膜を夫々形成する。

【0084】次に、メモリセルアレイ部の、後に基板コンタクト部となる部分、及び、周辺回路部Bの n ウェル3aの領域をフォトレジスト(不図示)で覆い、全面に、リン(P)等の n 型不純物を、例えば、エネルギー20~40KeV程度、ドーズ量 $1 \times 10^{13} \sim 3 \times 10^{13}/\text{cm}^2$ 程度の条件でイオン注入し、ポリシリコンゲート11の両側の p 型シリコン半導体層3に、自己整合的に、 n^- 拡散層12a、13aを夫々形成する。

【0085】次に、メモリセルアレイ部Aの全体と、周辺回路部Bの n ウェル3a以外の部分をフォトレジスト(不図示)で覆い、全面に、ホウ素(B)等の p 型不純物をイオン注入して、ポリシリコンゲート23の両側の n ウェル3aに、自己整合的に、 p^- 拡散層51を形成する。

【0086】次に、全面にCVD法により形成したシリコン酸化膜を異方性ドライエッチングして、ポリシリコンゲート11、23の側面に夫々側壁シリコン酸化膜を形成する。

【0087】次に、メモリセルアレイ部Aの、後に基板コンタクト部となる部分、及び、周辺回路部Bの n ウェル3aの領域をフォトレジスト(不図示)で覆い、全面に、リン(P)等の n 型不純物を、例えば、エネルギー60KeV程度、ドーズ量 $5 \times 10^{15} \sim 1 \times 10^{16}/\text{cm}^2$ 程度の条件でイオン注入し、ポリシリコンゲート11に設けた側壁シリコン酸化膜に対し自己整合的に n^+ 拡散層12b、13bを形成する。

【0088】次に、メモリセルアレイ部Aの素子領域をフォトレジスト(不図示)で覆い、全面に、ホウ素(B)等の p 型不純物をイオン注入して、メモリセルアレイ部Aの、後に基板コンタクト部となる部分に p^+ 拡散層20を形成するとともに、周辺回路部Bの n ウェル3aの部分のポリシリコンゲート23に設けた側壁シリコン酸化膜に対し自己整合的に p^+ 拡散層52を形成する。

【0089】次に、図12(a)に示すように、全面に n 型ポリシリコン膜を形成した後、フォトリソグラフィ及び異方性ドライエッチングにより、その n 型ポリシリコン膜をパターンニングして、図示の如く、メモリキャパシタのストレージノード10を形成するとともに、 n

拡散層13b及びp⁺拡散層20に対する夫々の引き出し電極14を形成する。

【0090】次に、全面にONO膜からなるキャパシタ誘電体膜9を形成し、フォトリソグラフィー及び異方性ドライエッチングにより、その所定箇所に、フィールドシールド電極50に対するコンタクトホール(図中、Dで示す。)を形成する。

【0091】次に、図12(b)に示すように、全面にn型ポリシリコン膜を形成した後、フォトリソグラフィー及び異方性ドライエッチングにより、そのn型ポリシリコン膜をパターンニングして、図示の如く、メモリキャパシタのセルプレート8を形成する。また、このセルプレート8で覆われていない部分のキャパシタ誘電体膜9を除去する。

【0092】次に、図12(c)に示すように、全面に、例えば、BPSSG膜からなる層間絶縁膜15aを常圧CVD法により形成する。そして、その層間絶縁膜15aの所定位置にコンタクトホールを開孔し、そのコンタクトホールを通じてn⁺拡散層13bの引き出し電極14にコンタクトするポリサイド配線からなるビット線18を形成する。

【0093】この後、詳細な図示は省略するが、例えば、BPSSG膜からなる層間絶縁膜を全面に更に形成した後、その層間絶縁膜の所定箇所にコンタクトホールを形成し、それらのコンタクトホールをタングステン(W)プラグ21、26により夫々埋め込む。そして、その層間絶縁膜の上に金属配線22、27、53を夫々形成し、図8の構造を得る。

【0094】この第2の実施の形態でも、既述した第1の実施の形態と同様、メモリセルアレイ部Aのp型シリコン半導体層3が、埋め込み酸化膜層2と6により、他の基板部から電気的に絶縁分離されていて、そのメモリセルアレイ部Aのp型シリコン半導体層3を独立に基板バイアスすることができるので、特に、トリプルウェル構造を採用しなくても、従来のトリプルウェル構造と同様の効果を得ることができる。

【0095】また、メモリセルアレイ部Aでの素子間分離をフィールドシールド素子分離法で行うことにより、LOCOS法やSTI法のような絶縁体分離法を用いる場合と違って、メモリセルアレイ部Aのp型シリコン半導体層3の電位が局所的な電界制御により固定され、SOI構造特有の基板浮遊効果を回避することができる。

【0096】一方、周辺回路部Bでは、上述したLOCOS法やSTI法のような絶縁体分離法を素子間分離に用いることにより、例えば、CMOS構造での素子間分離を簡便に行うことができる。

【0097】

【発明の効果】本発明においては、メモリセルアレイ領域の基板部が、SOI構造の埋め込み絶縁層とトレンチ分離構造とにより、他の基板部から電気的に絶縁分離さ

れているので、そのメモリセルアレイ領域の基板部を独立に電位制御することが可能となり、特に、トリプルウェル構造を採用しなくても、従来のトリプルウェル構造と同様の効果を得ることができる。

【0098】従って、トリプルウェル構造を採用しないため、基板濃度を比較的強く抑えることができ、基板バイアス効果の悪化やメモリセルキャパシタの保持特性の劣化という問題を回避することができる。

【0099】また、メモリセルアレイ領域での素子間分離をフィールドシールド素子分離法で行うことにより、LOCOS法やSTI法のような絶縁体分離法を用いる場合と違って、メモリセルアレイ領域の基板部の電位が局所的な電界制御により固定されるので、SOI構造特有の基板浮遊効果を回避することができる。

【0100】この時、メモリキャパシタを、例えば、リバーストレンチキャパシタに構成して、そのメモリキャパシタのセルプレートをフィールドシールド電極と一体に構成すると、それらへのコンタクト構造及び製造工程を夫々簡略化することができる。

【0101】一方、周辺回路領域では、例えば、LOCOS法やSTI法のような絶縁体分離法を素子間分離に用いることにより、CMOS構造等での素子間分離を簡便に行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態によるDRAMの概略断面図である。

【図2】本発明の第1の実施の形態によるDRAMのメモリセルアレイ部の平面配置図である。

【図3】本発明の第1の実施の形態によるDRAMの全体概略構成図である。

【図4】本発明の第1の実施の形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図5】本発明の第1の実施の形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図6】本発明の第1の実施の形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図7】本発明の第1の実施の形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図8】本発明の第2の実施の形態によるDRAMの概略断面図である。

【図9】本発明の第2の実施の形態によるDRAMのメモリセルアレイ部の平面配置図である。

【図10】本発明の第2の実施の形態によるDRAMの全体概略構成図である。

【図11】本発明の第2の実施の形態によるDRAMの製造方法を工程順に示す概略断面図である。

【図12】本発明の第2の実施の形態によるDRAMの製造方法を工程順に示す概略断面図である。

【符号の説明】

1 ……p型単結晶シリコン半導体基板

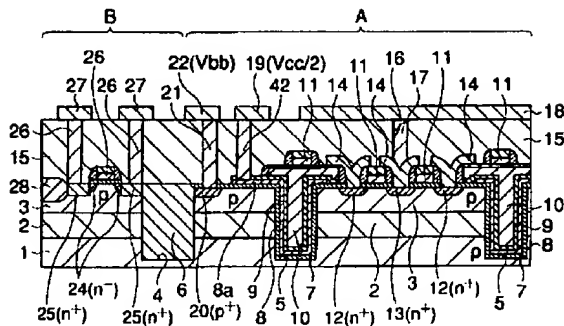
17

- 2 …埋め込み酸化膜層
 3 …p型単結晶シリコン半導体層
 3a…nウェル
 4、5、30…トレンチ
 6 …シリコン酸化膜層
 8 …n型ポリシリコン膜（セルプレート）
 8a、50…フィールドシールド電極
 9 …キャパシタ誘電体膜
 10…n型ポリシリコン膜（ストレージノード）
 10a…ストレージコンタクト
 11…n型ポリシリコンゲート（ワード線）
 12、12b、13、13b、25…n⁺ 拡散層
 12a、13a、24…n⁻ 拡散層
 14…n型ポリシリコン膜（引き出し電極）

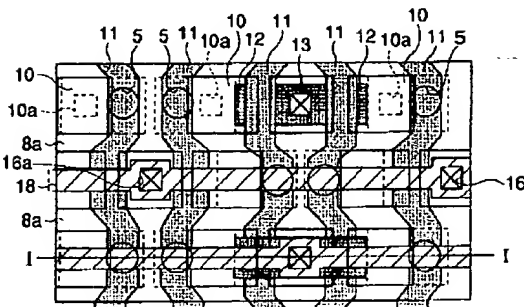
18

- 15…層間絶縁膜
 16…ビットコンタクト
 17、21、26、42…タングステン（W）プラグ
 18…金属配線（ビット線）
 19…金属配線（V_{cc}/2）
 20、52…p⁺ 拡散層
 22…金属配線（V_{bb}）
 23…n型ポリシリコンゲート
 27、53…金属配線
 28…LOCOS酸化膜
 51…p⁻ 拡散層
 A …メモリセルアレイ部
 B …周辺回路部

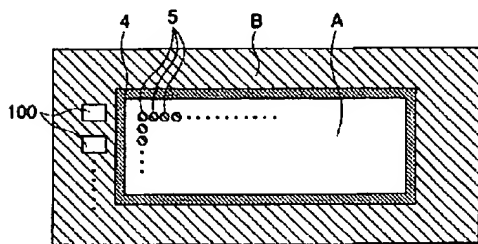
【図1】



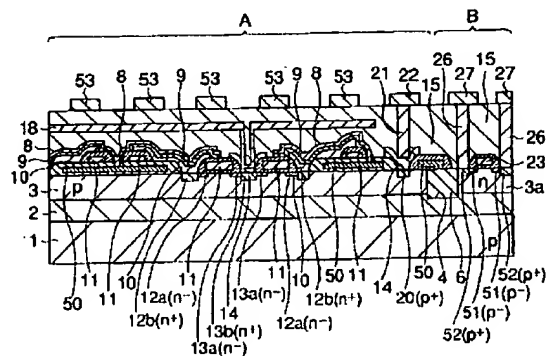
【図2】



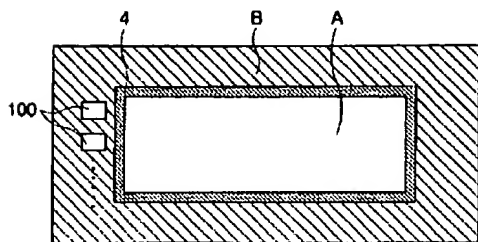
【図3】



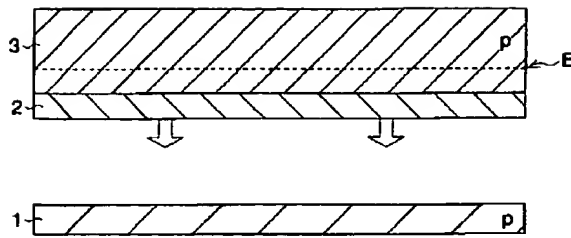
【図8】



【図10】



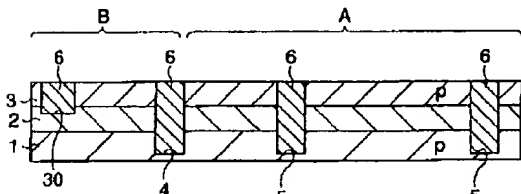
【図4】



(a)

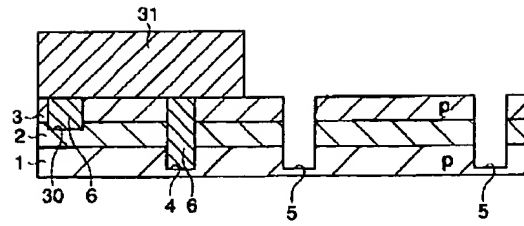


(b)

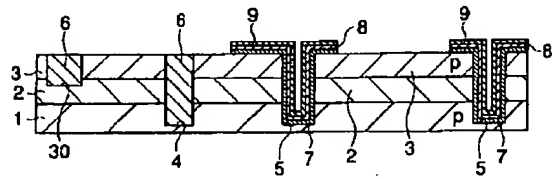


(c)

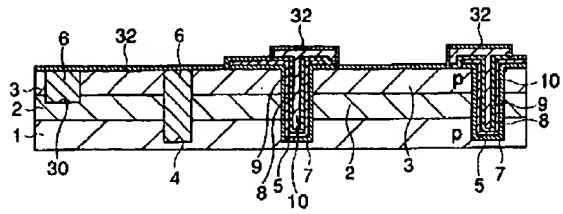
【図5】



(a)

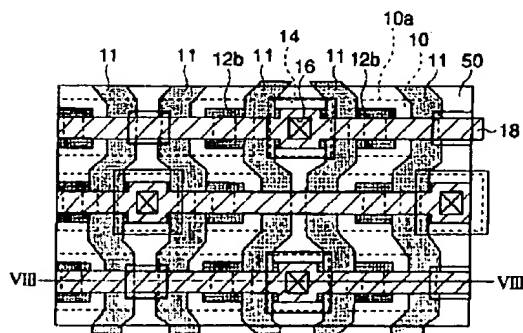


(b)

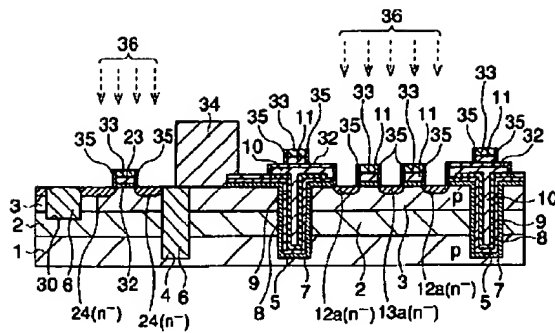


(c)

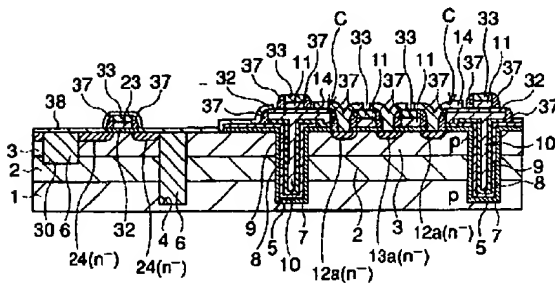
【図9】



【図6】

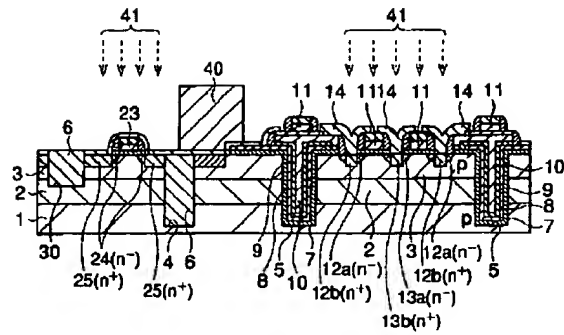


(a)

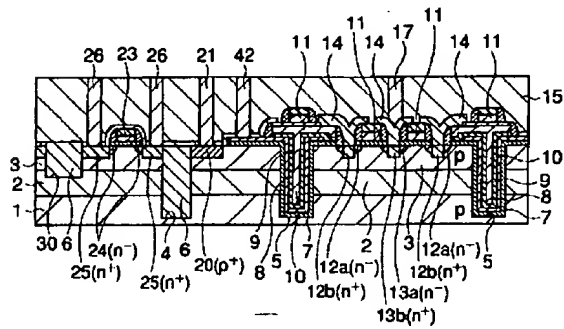


(b)

【図7】

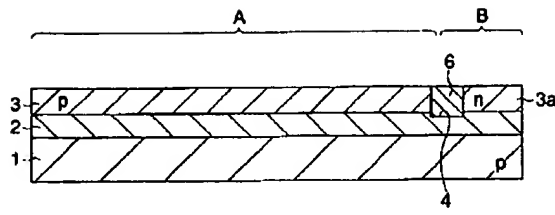


(a)

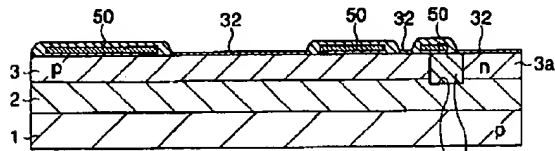


(b)

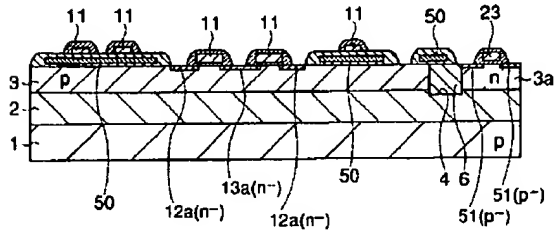
【図11】



(a)

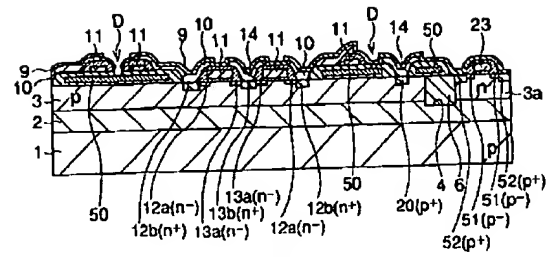


(b)

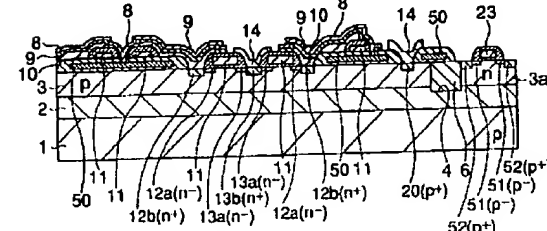


(c)

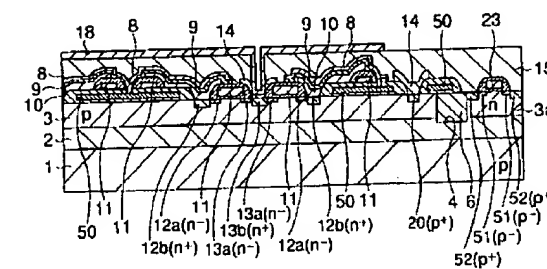
【図12】



(a)



(b)



(c)

DOCUMENT-IDENTIFIER: JP 11284146 A
TITLE: SEMICONDUCTOR STORAGE DEVICE AND ITS MANUFACTURE

FPAR:

SOLUTION: A memory cell array part A and a peripheral circuit part B are isolated and insulated by the buried oxide film layer 6 within a trench 4, using an SOI(silicon on insulator) substrate where two sheets of p-type silicon single crystalline substrates are laminated through an oxide film layer 2. The isolation between elements in the memory cell array part A is performed by the field shield element isolating structure by a field shield electrode 8a, whereby the retention property is improved, avoiding the substrate floating effect peculiar to SOI structure. The isolation between element in the peripheral circuit part B is performed by a LOCOS film 28 or insulator isolation such as STI(shallow trench isolation) method, thus it is enabled to perform the isolation between the elements in CMOS structure or the like simply thereby achieving speed up.